

Curso Académico: (2023 / 2024)

Fecha de revisión: 23-03-2023

Departamento asignado a la asignatura: Departamento de Ingeniería de Sistemas y Automática

Coordinador/a: CASTILLO MONTOYA, JOSE CARLOS

Tipo: Obligatoria Créditos ECTS : 6.0

Curso : 3 Cuatrimestre : 2

Rama de Conocimiento: Ingeniería y Arquitectura

REQUISITOS (ASIGNATURAS O MATERIAS CUYO CONOCIMIENTO SE PRESUPONE)

- Programación (curso 1º, 1er cuatrimestre)
- Estructura de Computadores (curso 2º, 1er cuatrimestre)
- Sistemas Operativos (curso 2º, 2º cuatrimestre)
- Arquitectura de Computadores (curso 3º, 1er cuatrimestre)

OBJETIVOS

El objetivo de este curso es que el estudiante conozca la evolución y estructura interna de las arquitecturas de los computadores y los principales factores que influyen en las prestaciones de un computador. Entre los conceptos en los que se profundizará están: las condiciones necesarias para el paralelismo, el diseño del repertorio de instrucciones, la microarquitectura del procesador y las principales técnicas de paralelismo interno que se aplican en los procesadores actuales con el fin de mejorar sus prestaciones (caches en el procesador, planificación dinámica de instrucciones, predicción de saltos, superescalaridad) . Por último se abordarán las máquinas superescalares, supersegmentadas y VLIW como evolución de los procesadores en la búsqueda de un mayor grado de paralelismo a nivel de instrucción.

DESCRIPCIÓN DE CONTENIDOS: PROGRAMA

1. Introducción a la computación en paralelo. Concepto de paralelismo y evolución histórica.
2. Organización general de un computador.
3. Condiciones para el paralelismo y análisis de las prestaciones. Análisis de dependencias.
Niveles de paralelización y tamaño de grano. Caracterización del rendimiento. Modelos de rendimiento teórico.
4. Fundamentos de la segmentación. Conceptos básicos de la segmentación.
Estructura de control de las unidades funcionales segmentadas.
5. Procesadores segmentados. Etapas básicas de un procesador segmentado con planificación estática de instrucciones.
Tipos de riesgos y soluciones a los mismos. Ejecución multiciclo. Planificación dinámica de instrucciones.
Predicción dinámica de saltos.
6. Arquitecturas superescalares , supersegmentadas y VLIW. Conceptos de procesador superescalar y supersegmentado.
Prestaciones de un procesador superescalar y de un procesador supersegmentado. Procesadores VLIW.
Situación actual de los procesadores.

ACTIVIDADES FORMATIVAS, METODOLOGÍA A UTILIZAR Y RÉGIMEN DE TUTORÍAS

Las actividades que se llevan a cabo en la impartición de la asignatura son:

1. Clases magistrales. Presentación de los principales conceptos. Discusión y aclaración de dudas sobre los conceptos. Se trabajará sobre transparencias que se les darán a los alumnos para facilitar el aprendizaje además de un texto o textos básicos de referencia requeridos en la asignatura. (2,5 ECTS)
2. Clases de ejercicios prácticos. Sesiones en las que se plantean problemas y se deja a los estudiantes en grupos que planteen sus soluciones. (2,5 ECTS)
3. Laboratorios. A los alumnos (en equipos pequeños) se les propondrán casos prácticos de estudio, deberán estudiarlos y posteriormente sacar los datos de simulación y analizarlos. Se utilizará el conocimiento de los temas tratados en clases magistrales y clases prácticas en la asignatura. Se hará un estudio previo, se trabajará en el laboratorio y posteriormente se entregará un informe escrito con

los resultados y soluciones propuestas. (1 ECTS)

SISTEMA DE EVALUACIÓN

La evaluación de la asignatura se basa en el modelo de evaluación continua. El total de la nota del alumno se derivará de la evaluación de las diferentes actividades propuestas en el curso. Constará de una parte teórica y otra práctica.

La evaluación continua de la parte teórica y práctica se realiza a través de dos parciales, de manera que:

- * Si los dos están aprobados, el alumno tendrá el curso aprobado.
- * Si un parcial está suspenso, el alumno dispondrá de un examen de recuperación para esa parte. Con la nota que obtenga en el examen de recuperación (siempre que sea mayor que 6), se le hace media con el parcial aprobado.
- * Si los dos parciales están suspensos, se va con todo a la recuperación y la nota que se saque será directamente la nota final.
- * El alumno aprobado podrá presentarse al examen de recuperación para subir nota, pero la nota que le cuenta será exclusivamente la que saque en las partes a las que se presente en el examen de recuperación.

Respecto a la parte práctica, esta parte consta de cuatro prácticas de laboratorio las cuales el alumno tendrá que realizar.

Los exámenes parciales valen un 100% de la nota final.

Adenda COVID 19

Debido a la situación con COVID 19, la evaluación continua se realizará mediante un trabajo personal que valdrá un 20% de la evaluación continua y un único examen parcial (con problemas de las dos partes) que se realizará on-line que valdrá un 80% de la evaluación continua. La nota de la evaluación continua será la suma de de ambas partes y se considerará aprobado cuando dicha suma sea mayor o igual que 5.

En caso de alcanzarse el aprobado no será necesario realizar el examen de recuperación final, se podrá acudir al examen final en caso de no haber aprobado el examen parcial.

Peso porcentual del Examen Final:	0
Peso porcentual del resto de la evaluación:	100

BIBLIOGRAFÍA BÁSICA

- D.A. PATTERSON y J. L. HENNESSY Estructura y Diseño de Computadores: Interficie circuitería/programación, Ed Reverté, 2000.
- J. L. HENNESSY y D.A. PATTERSON Computer Architecture: A Quantitative Approach, Fourth Edition. Ed Elsevier 2007.
- J. SILC et al, ¿Processor Architecture¿, Springer Verlag, 1999.
- J.P. SHEN y M.H. LIPPASTI Modern Processor Design: Fundamentals of superscalar processors, Ed Mac Graw Hill 2005.
- K. HWANG Advanced Computer Architecture, Mc Graw-Hill , 1993.

BIBLIOGRAFÍA COMPLEMENTARIA

- A.R. OMONDI The Microarchitecture of Pipelined and Superscalar Computers, Kluwer Academic Publishers, 1999.
- H. S. STONE High Performance Computer Architecture, Ed Addison Wesley, 1993.
- P. M KOGGE The Architecture of Pipelined Computers, Ed Mc Graw Hill, 1981.